

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-124493

(P2014-124493A)

(43) 公開日 平成26年7月7日(2014.7.7)

(51) Int.Cl.	F I	テーマコード (参考)
A 6 1 B 1/04 (2006.01)	A 6 1 B 1/04 3 7 2	2 H 0 4 0
G 0 2 B 23/24 (2006.01)	G 0 2 B 23/24 B	4 C 1 6 1
H 0 4 N 7/18 (2006.01)	H 0 4 N 7/18 M	5 C 0 5 4

審査請求 未請求 請求項の数 6 O L (全 15 頁)

(21) 出願番号	特願2012-285653 (P2012-285653)	(71) 出願人	304050923
(22) 出願日	平成24年12月27日 (2012.12.27)		オリンパスメディカルシステムズ株式会社
			東京都渋谷区幡ヶ谷2丁目43番2号
		(74) 代理人	100076233
			弁理士 伊藤 進
		(74) 代理人	100101661
			弁理士 長谷川 靖
		(74) 代理人	100135932
			弁理士 篠浦 治
		(72) 発明者	小峰 仁
			東京都渋谷区幡ヶ谷2丁目43番2号 オ
			リンパスメディカルシステムズ株式会社内
		(72) 発明者	菅野 清貴
			東京都渋谷区幡ヶ谷2丁目43番2号 オ
			リンパスメディカルシステムズ株式会社内
			最終頁に続く

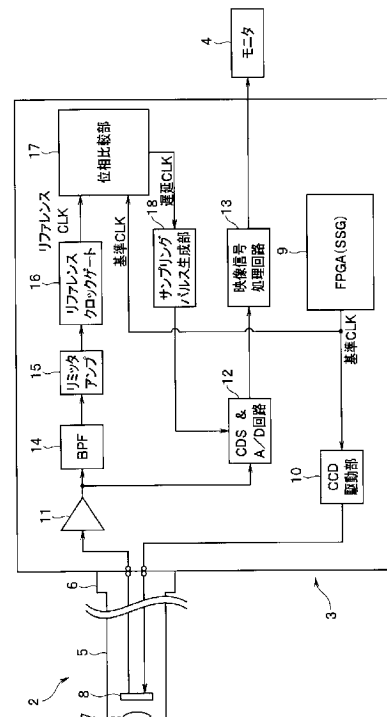
(54) 【発明の名称】 内視鏡システム

(57) 【要約】

【課題】小さな回路規模でサンプリングパルスを生成することができる内視鏡システムを提供する。

【解決手段】内視鏡システム1は、撮像信号を生成するCCD8が設けられた内視鏡2と、入力される撮像信号を信号処理する映像信号処理回路13が設けられたプロセッサ3とを備える。プロセッサ3は、所定の周波数の基準クロックを生成するFPGA9と、CCD8で被写体を撮像することにより得られる撮像信号からリファレンスクロックを生成するリファレンスクロックゲート16と、基準クロックとリファレンスクロックとの位相差に基づき、基準クロックを遅延させた遅延クロックを生成する位相比較部17と、位相比較部17からの遅延クロックに基づいて、撮像信号をサンプリングするためのサンプリングパルス生成部18とを備える。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

被検体を撮像して撮像信号を生成する撮像素子が設けられた内視鏡と、前記内視鏡から入力される前記撮像信号を信号処理する信号処理回路が設けられたプロセッサとを具備する内視鏡システムであって、

前記プロセッサは、

所定の周波数の第 1 のクロック信号を生成する第 1 のクロック生成部と、

前記撮像素子で被写体を撮像することにより得られる撮像信号からクロック信号成分を抽出し、該クロック信号成分の周波数を有する第 2 のクロック信号を生成する第 2 のクロック生成部と、

前記第 1 のクロック信号と前記第 2 のクロック信号との位相差に基づき、前記第 1 のクロック信号を遅延させた遅延クロック信号を生成する位相比較部と、

前記位相比較部からの前記遅延クロック信号に基づいて、前記撮像信号をサンプリングするためのサンプリングパルスを生成するサンプリングパルス生成部と、
を備えたことを特徴とする内視鏡システム。

10

【請求項 2】

前記位相比較部は、前記第 1 のクロック信号を所定倍に通倍した通倍クロック信号を生成する通倍部と、前記通倍クロック信号を用いて、前記第 1 のクロック信号と前記第 2 のクロック信号との位相差をカウントする位相比較カウンタと、前記位相比較カウンタのカウント結果に基づき、前記第 1 のクロック信号を遅延させた前記遅延クロック信号を生成する遅延クロック生成部とを有することを特徴とする請求項 1 に記載の内視鏡システム。

20

【請求項 3】

前記位相比較部は、前記第 1 のクロック信号を順次、所定量遅延させる直列接続された複数のバッファと、前記複数のバッファのそれぞれに接続され、前記第 2 のクロック信号に基づき、前記複数のバッファの出力を取り込む複数のフリップフロップと、前記複数のフリップフロップの出力値から前記第 1 のクロック信号と前記第 2 のクロック信号との位相差を生成するエンコーダと、を有することを特徴とする請求項 1 に記載の内視鏡システム。

【請求項 4】

前記撮像素子に供給する駆動信号の波形を整形する駆動信号生成部を備えることを特徴とする請求項 1 に記載の内視鏡システム。

30

【請求項 5】

前記駆動信号生成部は、前記第 1 のクロック信号に基づきタイミングパルスを生成するタイミングジェネレータと、前記タイミングパルスから前記駆動信号を生成するドライバと、前記第 1 のクロック信号と前記第 2 のクロック信号との位相差に応じて、前記駆動信号の出力先を切り替えるスイッチと、それぞれが異なるフィルタを備え、前記スイッチから出力された前記駆動信号の波形を整形する複数のピーキング回路とを有することを特徴とする請求項 4 に記載の内視鏡システム。

【請求項 6】

前記駆動信号生成部は、前記内視鏡の種別に応じて、前記第 1 のクロックに基づき生成するタイミングパルスの立ち上がり及び立ち上がりを高速でスイッチングするタイミングジェネレータと、前記スイッチングしたタイミングパルスの高周波成分を平滑化するローパスフィルタと、前記高周波成分を平滑化したタイミングパルスから前記駆動信号を生成するドライバと、前記駆動信号の波形を整形するピーキング回路とを備えることを特徴とする請求項 4 に記載の内視鏡システム。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、内視鏡システムに関し、特に、基準クロックと撮像信号から抽出されたりフアレンスクロックの位相差に基づきサンプリングパルスを生成する内視鏡システムに関する

50

る。

【背景技術】

【0002】

従来、内視鏡システムは、先端部にＣＣＤ等の撮像素子を備えたスコープ（内視鏡）と、スコープに設けられた撮像素子で撮像された内視鏡画像に所定の画像処理を施し、モニタに表示するプロセッサとにより構成されている。スコープとプロセッサとは、コネクタ等を介して着脱自在に構成されており、種類の異なる、例えば、ケーブル長等が異なるスコープをプロセッサに接続することができる。

【0003】

このようにケーブル長が異なると、撮像素子を駆動信号で駆動した場合、駆動信号の信号伝搬の遅延量が異なるとともに、撮像素子から出力された撮像信号がプロセッサに入力されるタイミングも異なる。そのため、撮像素子からの撮像信号中における実際の信号成分部分を抽出するためのサンプリングパルスの発生タイミングを、ケーブル長による遅延量に応じて適切に設定する調整作業が必要である。

【0004】

そこで、内視鏡システムのプロセッサには、このような調整作業を自動で行うために、スコープから入力される撮像信号の位相と、撮像信号をサンプリングするためのサンプリングパルスの基準となる基準クロック信号の位相とを同期させるＰＬＬ回路が設けられている。

【0005】

例えば、特許文献１には、高画質の撮像素子を搭載したスコープにも対応可能な信号処理を行うために、低位相雑音特性に設定した状態で、周波数引込を簡単な構成で行うことができるＰＬＬ回路を用いた内視鏡システムが開示されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献１】特開２００７－１５９９９１号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、このような内視鏡システムは、ＰＬＬ回路を用いてクロックを生成しているため、ＰＬＬ回路を構成するため、回路規模が大きくなってしまいう問題がある。

【0008】

そこで、本発明は、小さな回路規模でサンプリングパルスを生成することができる内視鏡システムを提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の一態様の内視鏡システムは、被検体を撮像して撮像信号を生成する撮像素子が設けられた内視鏡と、前記内視鏡から入力される前記撮像信号を信号処理する信号処理回路が設けられたプロセッサとを具備する内視鏡システムであって、前記プロセッサは、所定の周波数の第１のクロック信号を生成する第１のクロック生成部と、前記撮像素子で被写体を撮像することにより得られる撮像信号からクロック信号成分を抽出し、該クロック信号成分の周波数を有する第２のクロック信号を生成する第２のクロック生成部と、前記第１のクロック信号と前記第２のクロック信号との位相差に基づき、前記第１のクロック信号を遅延させた遅延クロック信号を生成する位相比較部と、前記位相比較部からの前記遅延クロック信号に基づいて、前記撮像信号をサンプリングするためのサンプリングパルスを生成するサンプリングパルス生成部と、を備える。

【発明の効果】

【0010】

10

20

30

40

50

本発明の内視鏡システムによれば、小さな回路規模でサンプリングパルスを生成することができる。

【図面の簡単な説明】

【0011】

【図1】第1の実施の形態に係る内視鏡システムの構成を示す図である。

【図2】位相比較部17の詳細な構成を示す構成図である。

【図3】基準クロックとリファレンスクロックとの間に遅延がない場合のタイミングチャートである。

【図4】基準クロックとリファレンスクロックとの間に遅延がある場合のタイミングチャートである。

10

【図5】第1の実施の形態の変形例に係る内視鏡システムの構成を示す構成図である。

【図6】位相比較部17aの詳細な構成を示す構成図である。

【図7】第2の実施の形態に係る内視鏡システムの構成を示す構成図である。

【図8】位相比較部17bの詳細な構成を示す構成図である。

【図9】CCD駆動部10aの構成を示す構成図である。

【図10】第3の実施の形態に係る内視鏡システムの構成を示す構成図である。

【図11】CCD駆動部10bの構成を示す構成図である。

【図12】タイミングジェネレータ34aの構成を示す構成図である。

【発明を実施するための形態】

【0012】

20

以下、図面を参照して本発明の実施の形態について詳細に説明する。

(第1の実施の形態)

【0013】

まず、図1を用いて、本発明の第1の実施の形態の内視鏡システムの構成について説明する。

【0014】

図1は、第1の実施の形態に係る内視鏡システムの構成を示す図である。

【0015】

図1に示すように、内視鏡システム1は、内視鏡検査を行うための内視鏡2と、この内視鏡2が着脱自在に接続され、内視鏡2に搭載された撮像素子に対する信号処理を行うプロセッサ3と、このプロセッサ3から出力される映像信号が入力されることにより撮像素子で撮像された画像を内視鏡画像として表示するモニタ4とを有する。

30

【0016】

内視鏡2は、生体の内部に挿入可能な細長で可撓性を有する挿入部5を有する。また、内視鏡2は、挿入部5の後端に形成された図示しない操作部と、その操作部から延出したユニバーサルケーブルとを有する。そして、内視鏡2は、そのユニバーサルケーブルの端部に設けられたコネクタ6により、プロセッサ3に対して着脱可能に構成されている。

【0017】

挿入部5の先端部には、照明光を出射する照明窓に例えば図示しない白色LEDが取り付けられ、プロセッサ3に設けられた図示しないLED点灯回路からLED点灯用の電源が供給されることにより点灯して白色の照明光を出射する。

40

【0018】

この照明窓に隣接して設けられた観察窓(撮像窓)には対物レンズ7が取り付けられており、その結像位置には撮像素子として例えば電荷結合素子(CCDと略記)8が配置されている。

【0019】

このCCD8は、挿入部5内部等を挿通された信号ケーブルを介してプロセッサ3内に設けられたCCD駆動部10とフロントエンドアンプ(FEAと略記)11とに接続される。

【0020】

50

基準信号発生回路 (SSG) を構成する FPG A 9 は、発振周波数の安定性が良好な水晶発振子を用いた発振器により生成される基準クロックを CCD 駆動部 10 及び位相比較部 17 に供給する。この FPG A 9 は、所定の周波数の第 1 のクロック信号である基準クロックを生成する第 1 のクロック生成部を構成する。

【0021】

CCD 駆動部 10 は、FPG A 9 からの基準クロックに応じて一定周期で出力されるリセットパルス等を含む CCD 駆動信号を生成し、信号ケーブルの駆動線を介して CCD 8 に印加する。

【0022】

CCD 8 は、CCD 駆動部 10 からの CCD 駆動信号に基づいて、撮像面に結像された観察対象部位からの戻り光に対して光電変換を施し、得られた撮像信号 (或いは CCD 出力信号) を出力する。この撮像信号は、信号ケーブルの信号線を介して FEA 11 に入力される。FEA 11 は、入力された撮像信号を増幅し、CDS & A / D 回路 12 及びバンドパスフィルタ (BPF) 14 に出力する。

【0023】

上記 FEA 11 により増幅された撮像信号は、CDS & A / D 回路 12 に入力され、CDS 回路部分において相関二重サンプリング (CDS) 処理により、撮像信号中における信号部分が抽出されてベースバンドの信号に変換された後、A / D 回路部分でデジタル信号に変換される。

【0024】

このデジタル信号は、映像信号処理回路 13 に入力される。映像信号処理回路 13 は、CDS & A / D 回路 12 からのデジタル信号を映像信号に変換し、内視鏡画像をモニタ 4 に出力する。

【0025】

上記 CDS 回路部分には、サンプリングパルス生成部 18 から後述するサンプリングパルス SHP 及び SHD が供給される。このサンプリングパルス SHP 及び SHD により、CDS 回路部分は撮像信号中における信号部分をサンプリングする。このサンプリングパルス SHP 及び SHD は、撮像信号における (リセットパルス直後の) フィードスルー部及びデータ部をそれぞれサンプリングし、それらの差信号を抽出して、ベースバンドの信号を生成する。

【0026】

また、FEA 11 により増幅された撮像信号は、位相調整期間におけるリセットパルス ϕR を (基準クロックとなるリファレンスクロックとして) 抽出するように帯域制限されたバンドパスフィルタ (BPF) 14 を通り、さらにリミッタアンプ 15 により波形整形される。

【0027】

このリミッタアンプ 15 は、例えば交流信号を通すコンデンサ C、抵抗 R が入出力端間に接続された反転アンプ A により構成される。

【0028】

このリミッタアンプ 15 により波形整形されたリセットパルス ϕR の信号は、リファレンスクロックゲート (以下 R - ゲートと略記) 16 を経てリファレンスクロックとして、位相比較部 17 に入力される。この R - ゲート 16 は、例えば NAND 回路により構成されている。なお、R - ゲート 16 は、リファレンスクロックの位相比較部 17 への入力の開閉を行うゲート手段を形成している。この R - ゲート 16 は、第 2 のクロック信号であるリファレンスクロックを生成する第 2 のクロック生成部を構成する。

【0029】

位相比較部 17 には、R - ゲート 16 からのリファレンスクロックと、FPG A 9 からの基準クロックとが入力される。後述するが、位相比較部 17 は、基準クロックとリファレンスクロックとの遅延量 (位相差) に基づき、基準クロック信号を遅延させた遅延クロックを生成する。より具体的には、位相比較部 17 は、基準クロックを所定の通倍数の通

10

20

30

40

50

倍クロックを生成し、この通倍クロックを基準にリファレンスクロックが基準クロックに対してどの程度遅延しているかを示す遅延量を算出する。位相比較部 17 は、算出した遅延量だけ遅延させた遅延クロックを生成し、サンプリングパルス生成部 18 に出力する。

【0030】

サンプリングパルス生成部 18 は、位相比較部 17 からの遅延クロックに基づき、撮像信号における（リセットパルス直後の）フィードスルー部とデータ部とをそれぞれサンプリングするためのサンプリングパルス S H P 及び S H D を生成し、C D S & A / D 回路 12 に出力する。

【0031】

C D S & A / D 回路 12 の C D S 回路部分では、上述したように、サンプリングパルス S H P 及び S H D に基づき、撮像信号におけるフィードスルー部及びデータ部をそれぞれサンプリングし、それらの差信号を抽出して、ベースバンドの信号を生成する。

【0032】

ここで、位相比較部 17 の詳細な構成について説明する。

【0033】

図 2 は、位相比較部 17 の詳細な構成を示す構成図である。

【0034】

図 2 に示すように、位相比較部 17 は、通倍クロック生成部 21 と、位相比較カウンタ 22 と、遅延クロック生成部 23 とを有して構成されている。

【0035】

F P G A 9 により生成された基準クロックは、通倍クロック生成部 21、位相比較カウンタ 22 及び遅延クロック生成部 23 に入力される。通倍クロック生成部 21 は、入力された基準クロックを所定の通倍数、例えば、基準クロックを 64 通倍した通倍クロックを生成して、位相比較カウンタ 22 に出力する。

【0036】

位相比較カウンタ 22 には、基準クロック及び通倍クロックに加え、R - ゲート 16 からのリファレンスクロックが入力される。位相比較カウンタ 22 は、基準クロックとリファレンスクロックとの位相差を通倍クロックでカウントすることで、リファレンスクロックが基準クロックに対してどの程度遅延しているかを示す遅延量を算出する。この算出された遅延量は、遅延クロック生成部 23 に入力される。

【0037】

遅延クロック生成部 23 は、基準クロックを入力された遅延量だけ遅延させた遅延クロックを生成し、サンプリングパルス生成部 18 に出力する。これにより、サンプリングパルス生成部 18 において、撮像信号の遅延量に応じたサンプリングパルス S H P 及び S H S D が生成され、C D S & A / D 回路 12 に出力される。

【0038】

次に、このように構成された内視鏡システムの動作について説明する。

【0039】

図 3 及び図 4 は、内視鏡システムの動作を説明するためのタイミングチャートを示し、図 3 は、基準クロックとリファレンスクロックとの間に遅延がない場合のタイミングチャートであり、図 4 は、基準クロックとリファレンスクロックとの間に遅延がある場合のタイミングチャートである。

【0040】

F P G A 9 から出力された基準クロックは、位相比較部 17 の通倍クロック生成部 21 により、この基準クロックを所定の通倍数に通倍した通倍クロックが生成される。通倍クロックは、例えば、基準クロックを 64 通倍した通倍クロックである。なお、図 3 及び図 4 では、説明を簡単にするために、基準クロックを 16 通倍した通倍クロックを示している。

【0041】

図 3 に示すように、基準クロックとリファレンスクロックとの間に遅延がない場合、サ

10

20

30

40

50

ンプリングパルス生成部 18 において、基準クロックに基づき、フィードスルー部をサンプリングするためのサンプリングパルス S H P と、データ部をサンプリングするためのサンプリングパルス S H D とが生成される。

【0042】

一方、図 4 に示すように、挿入部 5 の挿入部長が長い内視鏡 2 がプロセッサ 3 に接続された場合、基準クロックとリファレンスクロックとの間に遅延が生じる。この場合、位相比較カウンタ 22 において、基準クロックとリファレンスクロックとの位相差を逡倍クロックでカウントすることで、遅延量（位相差）が算出される。遅延クロック生成部 23 では、算出された遅延量だけ基準クロックが遅延され、サンプリングパルス生成部 18 に出力される。例えば、図 4 の例では、逡倍クロックの 2 クロック分だけ遅延された基準クロックがサンプリングパルス生成部 18 に出力される。

10

【0043】

サンプリングパルス生成部 18 では、この遅延クロックに基づき、フィードスルー部をサンプリングするためのサンプリングパルス S H P と、データ部をサンプリングするためのサンプリングパルス S H D とが生成される。即ち、サンプリングパルス生成部 18 では、図 3 のサンプリングパルス S H P 及び S H D よりも、逡倍クロックの 2 クロック分だけ遅延されたサンプリングパルス S H P 及び S H D が生成されることになる。これらのサンプリングパルス S H P 及び S H D により、挿入部長等により遅延した撮像信号からフィードスルー部及びデータ部がサンプリングされる。

【0044】

20

このように、内視鏡システム 1 は、内視鏡 2 の種別に応じて撮像信号の遅延量が異なる場合にでも、基準クロックを逡倍した逡倍クロックを生成し、この逡倍クロックを用いて、撮像信号から生成されたリファレンスクロックが基準クロックからどの程度遅延しているかを算出する。そして、内視鏡システム 1 は、算出した遅延量だけ基準クロックを遅延させた遅延クロックを生成し、この遅延クロックに基づき、サンプリングパルス S H P 及び S H D を生成するようにしている。この結果、内視鏡システム 1 は、P L L 回路を設けることなく、撮像信号の遅延量に応じたサンプリングパルス S H P 及び S H D を生成することができるため、回路規模を小さくすることができる。

【0045】

よって、本実施の形態の内視鏡システムによれば、小さな回路規模でサンプリングパルスを生成することができる。

30

（変形例）

【0046】

次に、第 1 の実施の形態の変形例について説明する。

【0047】

図 5 は、第 1 の実施の形態の変形例に係る内視鏡システムの構成を示す構成図である。なお、図 5 において、図 1 と同様の構成については、同一の符号を付して説明を省略する。

【0048】

図 5 に示すように、変形例の内視鏡システム 1 a は、図 1 の内視鏡システム 1 の F P G A 9、C D S & A / D 回路 12 及び位相比較部 17 に代わり、F P G A 9 a、C D S & A / D 回路 12 a 及び位相比較部 17 a を用いるとともに、サンプリングパルス生成部 18 が削除されて構成されている。

40

【0049】

図 6 は、位相比較部 17 a の詳細な構成を示す構成図である。なお、図 6 において、図 2 と同様の構成については、同一の符号を付して説明を省略する。

【0050】

図 6 に示すように、位相比較部 17 a は、図 2 の位相比較部 17 から遅延クロック生成部 23 が削除されて構成されている。即ち、位相比較部 17 a は、位相比較カウンタ 22 で算出された基準クロックとリファレンスクロックとの遅延量を、遅延結果（遅延量情報

50

）として出力する。この遅延結果は、FPGA9aに入力される。

【0051】

FPGA9aは、入力された遅延結果に応じて、CDS&A/D回路12aにCDSパラメータの設定を行う。

【0052】

CDS&A/D回路12aは、FPGA9aにより設定されたCDSパラメータに応じたサンプリングパルスSHP及びSHDで撮像信号のフィードスルー部及びデータ部をサンプリングして得られたベースバンドの信号映像信号処理回路13に出力する。

【0053】

以上の構成により、変形例1の内視鏡システム1aは、図1のサンプリングパルス生成部18及び図2の遅延クロック生成部23を用いることなくサンプリングパルスを生成できるので、第1の実施の形態の内視鏡システム1よりさらに小さな回路規模でサンプリングパルスSHP及びSHDを生成することができる。

(第2の実施の形態)

【0054】

次に、第2の実施の形態について説明する。

【0055】

従来では、多種類の内視鏡2に対して画質性能を最適にするために、内視鏡2の種別(CCDの種類、ケーブルの種類、ケーブル長等の違い)に応じてCCD駆動信号(CCD駆動波形)の振幅レベルや立ち上がり/立ち下りの傾きを、例えば工場での生産時に設定(調整)している。このような設定(調整)は、内視鏡2の種別毎に行う必要があるため、調整の複雑化や調整箇所の増大、生産時の調整工数増大により、製品コストの増大や、品質の劣化、および小型化の妨げとなっていた。

【0056】

そこで、本実施の形態では、内視鏡2の種別に応じてCCD駆動信号の調整(具体的には、CCD駆動波形の振幅レベルや駆動波形の立ち上がり/立ち下りの傾きの設定等)を自動的に行う内視鏡システムについて説明する。

【0057】

図7は、第2の実施の形態に係る内視鏡システムの構成を示す構成図である。なお、図7において、図1と同様の構成については同一の符号を付して説明を省略する。

【0058】

図7に示すように、内視鏡システム1bは、図1の内視鏡システム1のCCD駆動部10及び位相比較部17に代わり、それぞれCCD駆動部10a及び位相比較部17bを用いて構成されている。位相比較部17bは、図4と同様の構成でもよいが、例えば、図8の構成であってもよい。

【0059】

図8は、位相比較部17bの詳細な構成を示す構成図である。

【0060】

位相比較部17bは、バッファ31a~31dと、フリップフロップ(以下、FFという)32a~32cと、エンコーダ33とを有して構成されている。

【0061】

バッファ31a~31cは、直列接続されており、入力される基準クロックを順次、所定量遅延させ後段に出力する。即ち、バッファ31aは、基準クロックを所定量遅延させ、バッファ31b及びFF32aに出力する。そして、バッファ31bは、バッファ31aにより所定量遅延された基準クロックをさらに所定量遅延させ、バッファ31c及びFF32bに出力する。さらに、バッファ31cは、バッファ31bにより所定量遅延された基準クロックをさらに所定量遅延させ、バッファ31d及びFF32cに出力する。

【0062】

FF32a~32cのクロック端子には、リファレンスクロックが入力される。FF32a~FF32cのそれぞれは、例えばリファレンスクロックの立ち上がりエッジでバッ

10

20

30

40

50

ファ 3 1 a ~ 3 1 c から入力された値を保持し、保持した値をエンコーダ 3 3 に出力する。これにより、リファレンスクロックの遅延量に応じて、F F 3 2 a ~ 3 3 c から 0 または 1 が出力される。

【 0 0 6 3 】

エンコーダ 3 3 は、F F 3 2 a ~ 3 2 c から出力された値に基づいて、基準クロックとリファレンスクロックとの遅延量（位相差）をデジタル信号化する（第 1 の実施の形態の構成であればアナログ信号の場合もある）。エンコーダ 3 3 は、このデジタル信号を後述するスイッチ 3 7 を切り替えるための切替制御信号として C C D 駆動部 1 0 a に出力する。

【 0 0 6 4 】

10

図 9 は、C C D 駆動部 1 0 a の構成を示す構成図である。

【 0 0 6 5 】

図 9 に示すように、C C D 駆動部 1 0 a は、タイミングジェネレータ 3 4 と、C C D ドライバ 3 5 と、波形整形回路 3 6 とを有して構成されている。波形整形回路 3 6 は、スイッチ 3 7 と、複数（本実施の形態では 3 つ）のピーキング回路 3 8 a ~ 3 8 c とを有して構成されている。

【 0 0 6 6 】

タイミングジェネレータ 3 4 には、F P G A 9 からの基準クロックが入力される。タイミングジェネレータ 3 4 は、この基準クロックに基づいたタイミングパルス T P a を生成し、C C D ドライバ 3 5 に出力する。C C D ドライバ 3 5 は、入力されたタイミングパルス T P a に応じた C C D 駆動信号を生成し、スイッチ 3 7 に出力する。

20

【 0 0 6 7 】

スイッチ 3 7 には、C C D ドライバ 3 5 から C C D 駆動信号が入力されるとともに、位相比較部 1 7 b のエンコーダ 3 3 からのデジタル信号が切替制御信号として入力される。スイッチ 3 7 は、エンコーダ 3 3 からの切替制御信号に基づき、C C D 駆動信号の出力先を切り替え、ピーキング回路 3 8 a ~ 3 8 c のいずれかに出力する。

【 0 0 6 8 】

ピーキング回路 3 8 a ~ 3 8 c は、それぞれ抵抗値が異なる抵抗 R 1 ~ R 3、容量値が異なる容量 C 1 ~ C 3 により構成されるフィルタを用いて、入力された C C D 駆動信号の波形を整形する。即ち、ピーキング回路 3 8 a ~ 3 8 c では、抵抗 R 1 ~ R 3、容量 C 1 ~ C 3 の組み合わせにより、内視鏡 2 の種別（ケーブル長等）に応じた C C D 駆動信号の補正が行われる。

30

【 0 0 6 9 】

例えば、ピーキング回路 3 8 a では、抵抗 R 1 及び容量 C 1 によって構成されるフィルタにより、出力波形 3 9 a のような C C D 駆動信号を得る。同様に、ピーキング回路 3 8 b では、抵抗 R 2 及び容量 C 2 によって構成されるフィルタにより、出力波形 3 9 b のような C C D 駆動信号を得る。同様に、ピーキング回路 3 8 c では、抵抗 R 3 及び容量 C 3 によって構成されるフィルタにより、出力波形 3 9 c のような C C D 駆動信号を得る。このようにして得られた C C D 駆動信号は、信号ケーブルの駆動線を介して C C D 8 に印加される。

40

【 0 0 7 0 】

これにより、内視鏡システム 1 b は、内視鏡 2 の種別が変化した場合でも、波形 3 9 a ~ 3 9 c のように、内視鏡 2 の種別に応じた最適な C C D 駆動信号を自動的に生成することができるため、生産時の調整工数等を削減することができる。また、内視鏡システム 1 b は、簡単な回路（波形整形回路 3 6）で内視鏡 2 の種別に応じた最適な C C D 駆動信号を生成できるため、内視鏡システム 1 b の小型化も可能である。

（第 3 の実施の形態）

【 0 0 7 1 】

次に、第 3 の実施の形態について説明する。

【 0 0 7 2 】

50

【 0 0 8 4 】

【 0 0 8 5 】

【 0 0 8 6 】

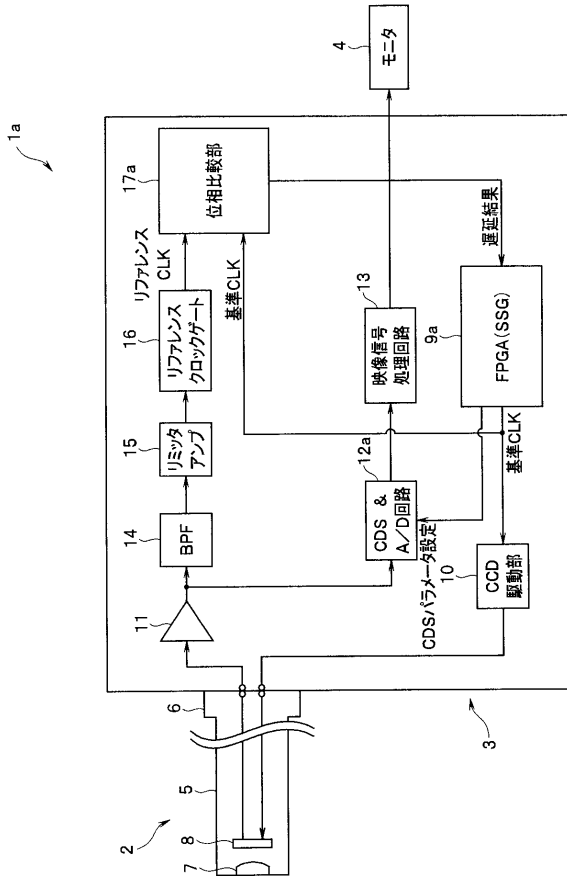
【 0 0 8 7 】

【符号の説明】

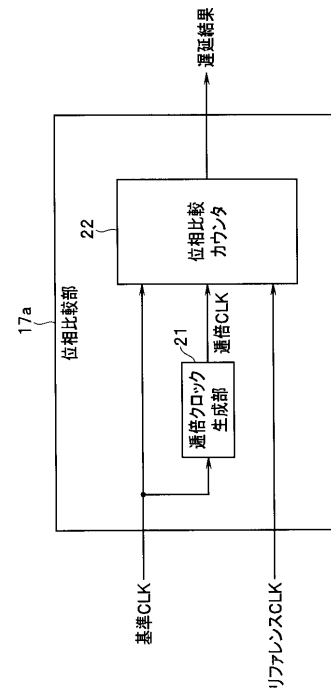
【 0 0 8 8 】

1, 1 a, 1 b, 1 c ... 内視鏡システム、2 ... 内視鏡、3 ... プロセッサ、4 ... モニタ、5 ... 挿入部、6 ... コネクタ、7 ... 対物レンズ、8 ... CCD、9, 9 a ... FPG A、10, 10 a ... CCD 駆動回路、11 ... FEA、12, 12 a ... CDS & A/D 回路、13 ... 映像信号処理回路、14 ... BPF、15 ... リミッタアンプ、16 ... リファレンスクロックゲート、17, 17 a, 17 b ... 位相比較部、18 ... サンプリングパルス生成部、21 ... 通倍クロック生成部、22 ... 位相比較カウンタ、23 ... 遅延クロック生成部、31 a ~ 31 d ... バッファ、32 a ~ 32 c ... FF、33 ... エンコーダ、34, 34 a ... タイミングジェネレータ、35 ... CCD ドライバ、36, 36 a ... 波形整形回路、37 ... スイッチ、38 a ~ 38 c ... ピーキング回路、41 ... スコープ検知部、42 ... LPF、43 ... 駆動用カウンタ、44 ... デコーダ。

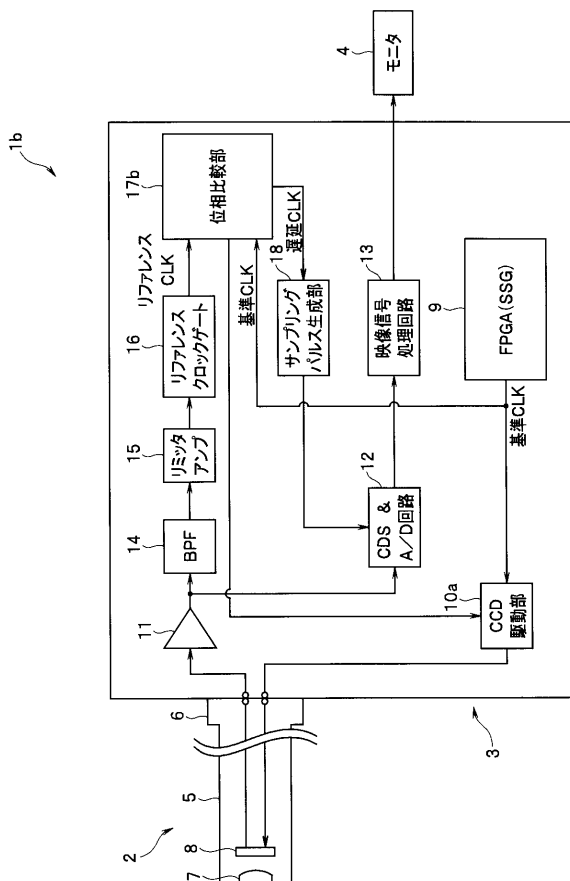
【図 5】



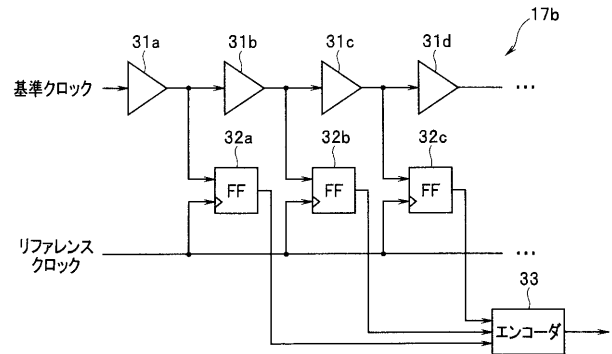
【図 6】



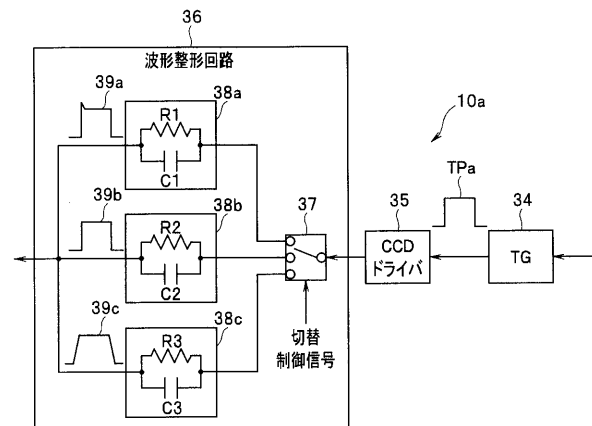
【図 7】



【図 8】



【図 9】



フロントページの続き

(72)発明者 小野 誠

東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリンパスメディカルシステムズ株式会社内

F ターム(参考) 2H040 GA06 GA11

4C161 AA00 BB00 CC06 DD03 GG01 JJ19 LL02 NN01 NN03 SS05

UU09

5C054 CA04 CC02 HA12

专利名称(译)	内窥镜系统		
公开(公告)号	JP2014124493A	公开(公告)日	2014-07-07
申请号	JP2012285653	申请日	2012-12-27
[标]申请(专利权)人(译)	奥林巴斯医疗株式会社		
申请(专利权)人(译)	オリンパスメディカルシステムズ株式会社		
[标]发明人	小峰仁 菅野清貴 小野誠		
发明人	小峰 仁 菅野 清貴 小野 誠		
IPC分类号	A61B1/04 G02B23/24 H04N7/18		
FI分类号	A61B1/04.372 G02B23/24.B H04N7/18.M A61B1/04.530 A61B1/045.610 A61B1/045.631 A61B1/05		
F-TERM分类号	2H040/GA06 2H040/GA11 4C161/AA00 4C161/BB00 4C161/CC06 4C161/DD03 4C161/GG01 4C161/JJ19 4C161/LL02 4C161/NN01 4C161/NN03 4C161/SS05 4C161/UU09 5C054/CA04 5C054/CC02 5C054/HA12		
代理人(译)	伊藤 进 长谷川 靖 ShinoUra修		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够以小电路规模生成采样脉冲的内窥镜系统。
 解决方案：内窥镜系统1包括内窥镜2和内窥镜，该内窥镜2配备有用于产生成像信号的CCD 8。视频信号处理电路13，用于对输入的成像信号进行信号处理。处理器3包括：FPGA 9，其用于生成规定频率的参考时钟；参考时钟门16，用于根据通过利用CCD 8对被摄体成像而获得的成像信号来生成参考时钟；相位比较部17，用于产生延迟。通过基于参考时钟和参考时钟之间的相位差来延迟参考时钟而获得的时钟，以及采样脉冲生成部分18，该采样脉冲生成部分18基于来自相位比较的延迟时钟生成用于对成像信号进行采样的采样脉冲 第17部分

